, Федеральное государственное автономное образовательное учреждение высшего образования «Национальный исследовательский университет ИТМО»

Факультет Программной инженерии и компьютерной техники

Дисциплина “Основы профессиональной деятельности”

Отчёт по лабораторной работе №7

Вариант №3578

Выполнил:

Ануфриев Андрей Сергеевич, Р3119

Проверила:

Остапенко Ольга Денисовна

г. Санкт-Петербург

2025 год

Оглавление

[Задание 2](#_Toc199064774)

[Ход выполнения 5](#_Toc199064775)

[Текст синтезированнных микропрограмм 5](#_Toc199064776)

[Текст тестовых программ на асемблере 5](#_Toc199064777)

[Трассировка 5](#_Toc199064778)

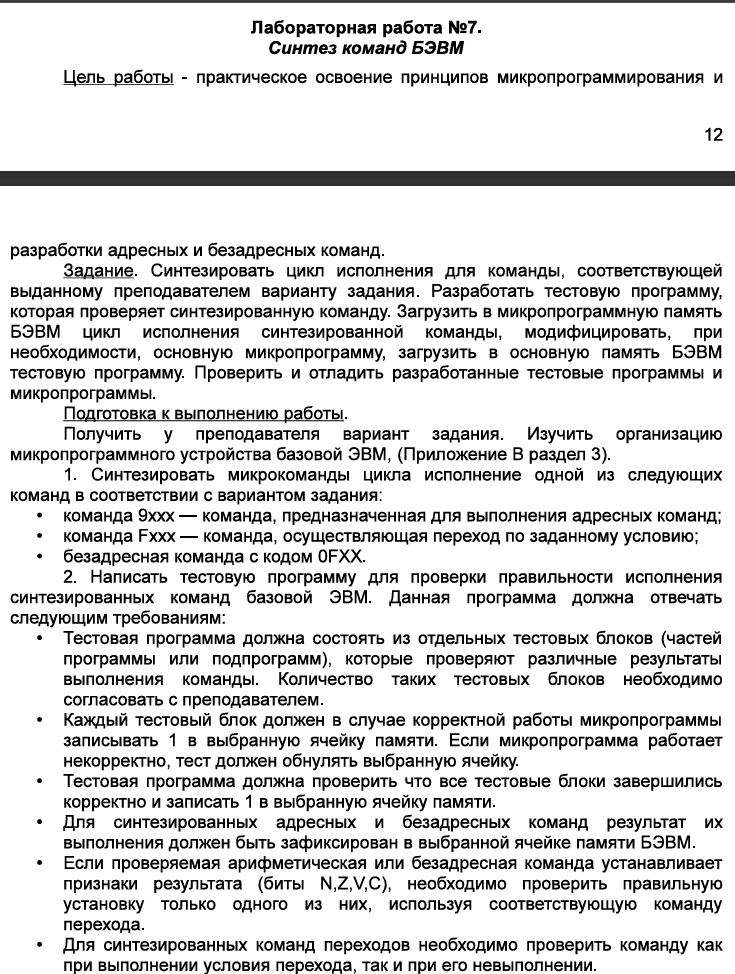
[Проверка результата 5](#_Toc199064779)

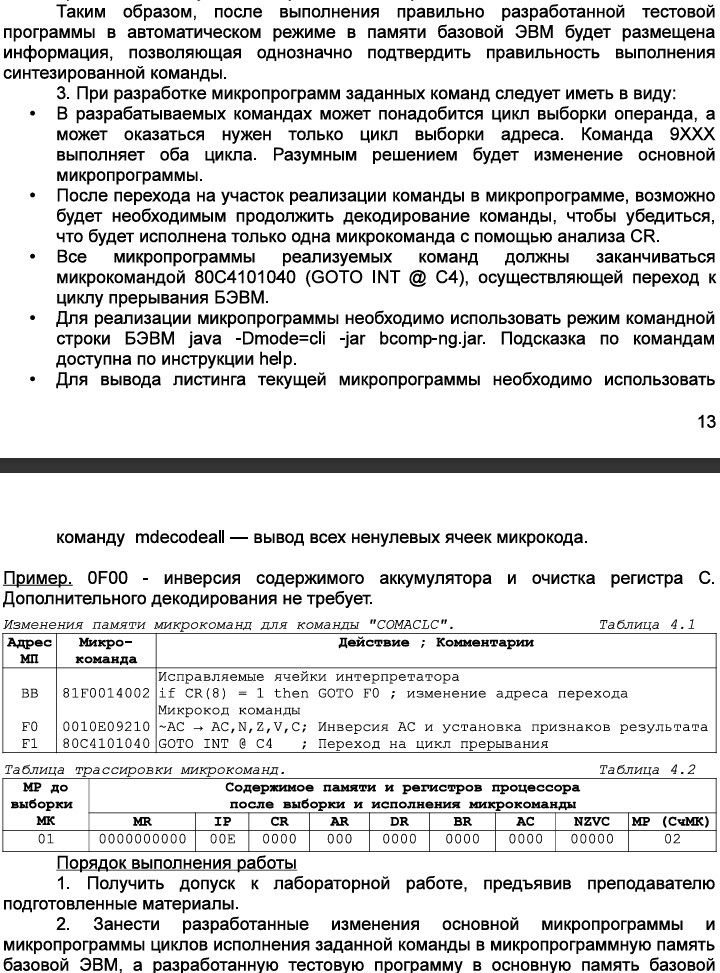
[Ответы на вопросы 5](#_Toc199064780)

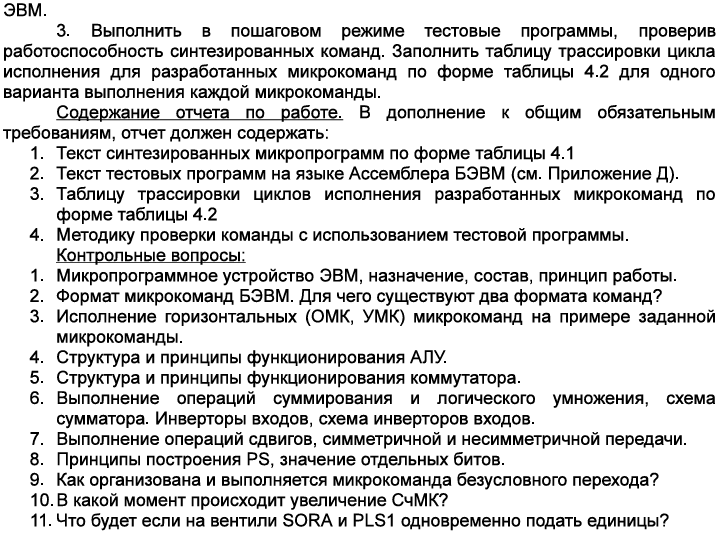
# Задание

Синтезировать цикл исполнения для выданных преподавателем команд. Разработать тестовые программы, которые проверяют каждую из синтезированных команд. Загрузить в микропрограммную память БЭВМ циклы исполнения синтезированных команд, загрузить в основную память БЭВМ тестовые программы. Проверить и отладить разработанные тестовые программы и микропрограммы.

1. BINT - переход к команде, если прерывания запрещены
2. Код операции - FEXX
3. Тестовая программа должна начинаться с адреса 037716







# Ход выполнения

## Текст синтезированнных микропрограмм

|  |  |  |
| --- | --- | --- |
| **Адрес МП** | **Микрокоманда** | **Комментарий** |
| E0 | 815C051040 | Если PS(5) == 0, переход к BR @ 5C. |
| E1 | 80C4101040 | Переход в цикл прерывания. |
| 5С | 0020011002 | Расширение знака смещения из CR(0..7). |
| 5D | 0004009024 | BR + IP → IP (вычисление адреса перехода). |
| 5E | 80C4101040 | Переход в цикл прерывания. |

java -jar -Dmode=dual bcomp-ng.jar

ma

mw 815C051040

mw 80C4101040

mw 0020011002

mw 0004009024

mw 80C4101040

decodeall

## Текст тестовых программ на асемблере

# Трассировка

# Проверка результата

|  |  |  |
| --- | --- | --- |
| Входные данные | Ожидаемый результат | Вывод на ВУ |
| 00D = 13 | 13\*(-5)+1 = -64 = 1100 0000 | 1100 0000 |
| FFE8 = -8 | -9 \* (-5) +1 = 46 = 1110 1001 |  |
|  |  |  |

# Ответы на вопросы

### Что происходит?

#### **1. Микрокоманда по адресу E0: 815C051040**

**Действие:**  
if PS(5) == 0 then GOTO BR @ 5C  
**Разбор:**

* 815C051040 — управляющая микрокоманда (УМК, бит 39 = 1).
* **Биты 24–31 (**5C**):** Адрес перехода — 5C (метка BR).
* **Биты 16–23 (**05**):** Проверяемый бит — PS(5) (бит разрешения прерываний EI).
* **Бит 32 (**1**):** Ожидаемое значение бита для перехода (0 — прерывания запрещены).
* **Логика:**  
  Если EI == 0 (прерывания запрещены), переход к адресу 5C. Иначе — выполнение следующей микрокоманды (E1).

#### **2. Микрокоманда по адресу E1: 80C4101040**

**Действие:**  
GOTO INT @ C4 (переход к циклу прерывания).  
**Разбор:**

* 80C4101040 — управляющая микрокоманда.
* **Биты 24–31 (**C4**):** Адрес перехода — цикл прерывания (INT).
* **Биты 16–23 (**10**):** Проверяемый бит — PS(4) (всегда 0).
* **Бит 32 (**1**):** Условие 0 == 1 (ложь, но 10 в битах 16–23 делает переход безусловным).
* **Назначение:**  
  Завершает выполнение команды BINT и возвращает управление основному циклу процессора.

#### **3. Микрокоманда по адресу 5C: 0020011002**

**Действие:**  
extend sign CR(0..7) → BR (подготовка смещения для перехода).  
**Разбор:**

* 0020011002 — операционная микрокоманда (ОМК, бит 39 = 0).
* **Биты 8–11 (**1000**):**
  + COMR (инверсия правого входа АЛУ) + PLSI (сложение с 1) → вычисление дополнительного кода.
* **Биты 0–7 (**00000010**):**
  + RDCR — чтение регистра команд (CR) в правый вход АЛУ.
  + WRBR — запись результата в буферный регистр (BR).
* **Результат:**  
  Знаковое расширение 8-битного смещения из CR(0..7) до 16 бит и сохранение в BR.

#### **4. Микрокоманда по адресу 5D: 0004009024**

**Действие:**  
BR + IP → IP (вычисление адреса перехода).  
**Разбор:**

* 0004009024 — операционная микрокоманда.
* **Биты 8–11 (**0000**):** АЛУ выполняет сложение (A + B).
* **Биты 0–7 (**10010010**):**
  + RDBR — чтение BR (смещение) в левый вход АЛУ.
  + RDIP — чтение IP (адрес следующей команды) в правый вход АЛУ.
  + WRIP — запись результата (BR + IP) в счетчик команд (IP).
* **Результат:**  
  Новый адрес в IP для перехода.

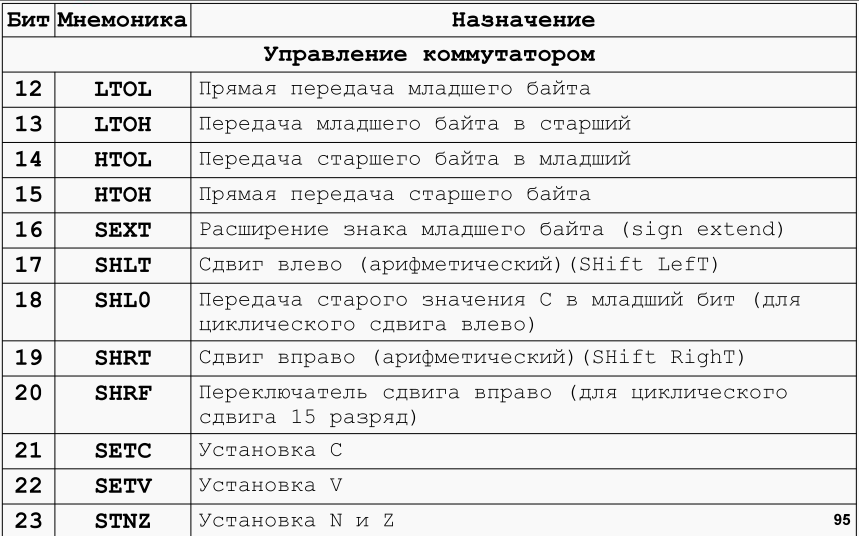
#### **5. Микрокоманда по адресу 5E: 80C4101040**

**Действие:**  
GOTO INT @ C4 (переход к циклу прерывания).  
**Повторение E1:**  
Завершает выполнение перехода и возвращает управление основному циклу процессора.

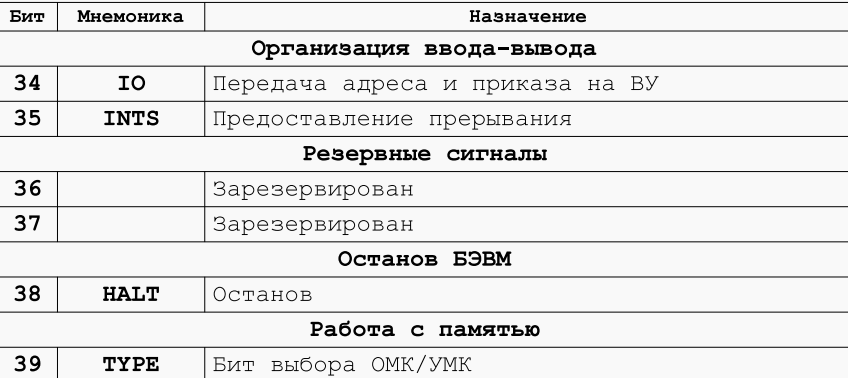
# 

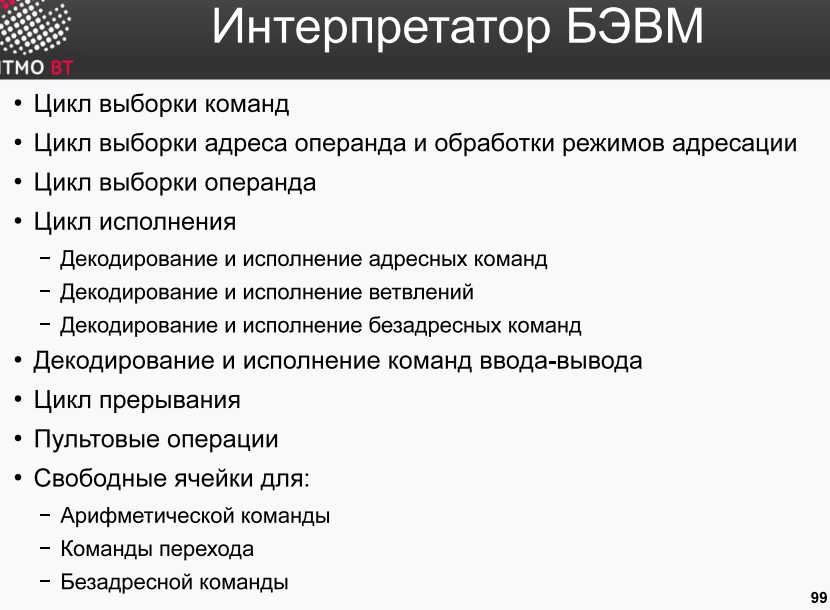
# 











;Длинна 12, каждое число 20 бит. (на каждое по 2 ячейки) найти сумму индексов кратных 3.

ORG 0x0

START\_ADR: WORD 0x0100

STOP\_ADR: WORD ?

CUR\_ADR: WORD ?

LENGHT: WORD 0xC

RESULT\_1: WORD 0x0

RESULT\_2: WORD 0x0

X1: WORD 0x0

X2: WORD 0x0

FFF0: word 0xfff0

START:

CLA

ST RESULT\_1

ST RESULT\_2

LD START\_ADR

ADD LENGHT

ST STOP\_ADR

LD START\_ADR

ADD #0x4

ST CUR\_ADR

PROG:

CALL FUNC

LD CUR\_ADR

CMP STOP\_ADR

BPL STOP

JUMP PROG

STOP:

HLT

FUNC:

LD (CUR\_ADR)+

ADD RESULT\_1

ST RESULT\_1

LD (CUR\_ADR) ;загрузили 2

CALL CHECK

ADC RESULT\_2

ST RESULT\_2

LD CUR\_ADR

ADD #0x4

ST CUR\_ADR

CLA

RET

CHECK:

AND #0x8

CMP #0x1

BPL MINUS

LD (CUR\_ADR)+

RET

MINUS:

LD (CUR\_ADR)+

OR FFF0

RET

ORG 0x0100

WORD 0x0

WORD 0x0

WORD 0x0

WORD 0x0

WORD 0xffff

WORD 0xf

WORD 0x0

WORD 0x0

WORD 0x0

WORD 0x0

WORD 0x2

WORD 0x0

ORG 0x0

V0: WORD $DEFAULT, 0x180

V1: WORD $INT1, 0x180

V2: WORD $DEFAULT , 0x180

V3: WORD $DEFAULT, 0x180

V4: WORD $DEFAULT, 0x180

V5: WORD $DEFAULT, 0x180

V6: WORD $DEFAULT, 0x180

V7: WORD $DEFAULT, 0x180

ORG 0x045

X: WORD ?

max: WORD 0x0016

min: WORD 0xFFE7

DEFAULT: IRET

START:

DI

CLA

OUT 0x1

OUT 0x7

OUT 0xB

OUT 0xD

OUT 0x11

OUT 0x15

OUT 0x19

OUT 0x1D

LD #0x9

OUT 3

LD #0xA

OUT 5

ST X

EI

main:

DI

LD X

INC

CALL check

ST X

EI

JUMP main

INT1:

LD X

NOP

HLT

ASL

ASL

ADD X

NEG

INC

OUT 2

HLT

NOP

IRET

INT2:

IN 4

NOP

HLT

AND X

NOT

ST X

HLT

NOP

IRET

check:

check\_min: CMP min

BPL check\_max

JUMP ld\_min

check\_max: CMP max

BMI return

ld\_min: LD min

return: RET